(19)   KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: **95003400 B1**
(43)Date of publication of application:
12.04.1995

(21)Application number: **92014245**   (71)Applicant: **SAMSUNG ELCTRONICS**
(22)Date of filing: **08.08.1992**   (72)Inventor: **KIM, TAE-JIN**

(51)Int. Cl   **G11C 11/40**

(54) FUSE BOX OF SERIAL READ/WRITE ACCESS MEMEORY SYSTEM BUILT IN ONE CHIP

(57) Abstract:

The serial read/write access memory system has a fuse box for read and write built within one chip, leading to the improved integration efficiency. This system consists of control circuits for read and write that apply the master clock and that control the read and write operations respectively, a fuse circuit that supplies the address for the read and write informations, and output circuits that generate the redundancy output signal for read and write, respectively.

Legal Status
Date of request for an examination (19920808)
Final disposal of an application (registration)
Date of final disposal of an application (19950626)
Patent registration number (1000868800000)
Date of registration (19950715)

특1995-0003400

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.^{6}
G11C 11/40

(45) 공고일자　1995년04월12일
(11) 공고번호　특1995-0003400

(21) 출원번호	특1992-0014245	(65) 공개번호	특1994-0004641
(22) 출원일자	1992년08월08일	(43) 공개일자	1994년03월15일

(71) 출원인　삼성전자 주식회사　김광호
경기도 수원시 권선구 매탄동 416번지

(72) 발명자　김태진
서울특별시 서초구 방배동 소라APT 라동 406호

(74) 대리인　이건주

심사관 : 이해평 (책자공보 제3929호)

(54) 시리얼 리드/라이트 액세스 메모리 장치의 퓨우즈박스

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

시리얼 리드/라이트 액세스 메모리 장치의 퓨우즈박스

[도면의 간단한 설명]

제1도는 이 분야에 공지된 메모리 어레이의 블럭 다이아그램.

제2도는 종래 기술에 의한 퓨우즈 박스회로도.

제3도는 본 발명에 의한 퓨우즈 박스회로도.

제4도는 제3도의 동작타이밍도.

[발명의 상세한 설명]

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 시리얼 리드/라이트 액세스 메모리(Serial read/write access memory)장치의 퓨우즈 박스에 관한 것이다.

반도체 메모리 장치의 집적도가 점점 향상됨에 따라 하나의 칩 내에 저장되는 메모리 쎌의 수는 상당히 많아지게 된다. 이에 따라 하나의 칩내에서 발생되는 불량쎌의 수도 점점 더 많아지게 된다. 그래서 통상적으로 하나의 칩내에 배열되는 다수개의 어레이블럭마다 불량쎌을 대치하기 위한 스페어 쎌(spair cell)을 각각 구비하게된다. 만일 칩의 테스트등을 통하여 어레이 블럭의 컬럼에 소정의 불량쎌이 발생하게 되면 이를 컬럼 리던던시동작을 통해서 해결하게 된다. 상기 컬럼 리던던시동작이라 함은 노멀 컬럼선택션(CSL : column selection line)에 연결되어 있는 컬럼중의 임의의 하나에 페일(fail)이 발생시에 스페어 쎌에 구비되어 있는 여분의 컬럼을 사용하여 리페어(repair)처리를 하는 동작을 말한다. 상기 컬럼 리던던시동작을 수행하기 위해서는 각 컬럼마다 연결되는 퓨우즈 박스(fuse box)가 필요하게 되는데, 상기 퓨우즈 박스내의 퓨우즈를 레이저 투사와 같은 컷팅동작을 통해서 리페어 동작이 이루어진다. 또한 시리얼(Serial) 리드/라이트 동작을 동시에 수행하는 시리얼 리드/라이트 액세스 메모리 장치는 노멀 램(normal RAM)과는 달리 리드동작과 라이트동작이 독립적으로 동시에 이루어지기 때문에 리던던시회로를 구성하는 퓨우즈 박스 또한 리드용 퓨우즈와 라이트용 퓨우즈를 각각 구비하고 있음은 이미 이 분야에 잘 알려져 있는 사실이다.

이 분야에 일반적으로 알려진 메모리 어레이의 블럭 다이아그램을 제1도에 도시하였다. 상기 제1도의 메모리 어레이는 m×n의 노멀 쎌 어레이와 m×k의 리던던트 쎌 어레이로 구성된다. 도시된 바와 같이 종래의 리던던시를 위한 장치는 외부로부터 입력된 어드레스가 결함이 있는 어드레스인지 아닌지를 감지하는 감지신호(φREN1, φREN2, …φRENk)가 노멀 디코더 컨트롤회로(NDC)를 거쳐 노멀 컬럼 디코더(NCD1, NCD2, …NCDk)로 입력되며, 상기 각각의 노멀 컬럼디코더는 일방향에 있는 노멀 쎌 어레이(NCA)의 각각에 연결된 입출력 게이트들(10)을 공통으로 제어한다. 즉 NCD1은 노멀 쎌 어레이 NCA11, NCA21, …, NCAm1에 각각 연결된 입출력게이트들(10)을 공통의 컬럼선택라인(도시되지 않음)을 통하여 일시에 제어하며, NCDn은 노멀 쎌 어레이 NCA1n, NCA2n, …, NCAmn에 각각 연결된 입출력 게이트들(10)을 일시에 제어한다. 한편, 퓨우즈 박스들(FB1, FB2, …, FBk)로부터 발생된 각각의 리던던트 감지신호(φREN1, φREN2,

···◆RENk)는 각각의 리던던트 컬럼디코더(RCD1, RCD2, ···, RCDk)로 입력된다. 상기 리던던트 컬럼디코더(RCD1, RCD2, ···, RCDk)와 리던던트 쎌 어레이(RCA11, RCA12, ···, RCAmk)와의 연결관계도 상술한 노멀 쎌어레이와 동일하게 된다. 이와 같은 구성에 있어서, 어느 하나의 노멀 쎌 예를 들어 NCA11에 있는 노멀 쎌에 해당하는 어드레스가 결함을 갖고 있다면, 노멀 컬럼디코더 NCD1에 의하여 노멀 쎌 어레이 NCA11, NCA21, ···, NCAm1에 연결된 입출력 게이트 I011, I021, ···, I0m1은 모드 디세이블되고, 리던던트 컬럼 디코더 RCD1에 연결된 입출력 게이트 RI011, RI021, ···, RI0m1은 모두 인에이블되어 리페어가 이루어진다.

상기와 같은 구성에서 리던던시동작을 위해 불량난 메모리 쎌을 지정하는 어드레스를 입력하고 이로부터 퓨우즈 컷팅동작을 수행하는 퓨우즈 박스와 관련하여, 이 분야에 공지된 퓨우즈 박스의 회로도를 제2도에 도시하였다. 상기 제2도의 구성은 도시된 바와 같이 어드레스 및 상기 어드레스의 상보적인 어드레스를

입력하고 이들의 입력을 제어하는 트랜스퍼 게이트(transfer gate)(TG1, $\overline{TG1}$, TG2, ···)와, 상기

트랜스퍼 게이트(TG1, $\overline{TG1}$, TG2, ···)에 각각 연결되는 퓨우즈(f1, $\overline{f1}$, f2, ···)와, 각 어드레스별 퓨우즈 의 컷팅여부를 제어하는 마스터 퓨우즈(MF : master fuse)와 그 주변로직으로 구성된다. 상기 제2도의 구성은 고집적 반도체 메모리 장치와 같이 어드레스의 수가 10개 또는 11개 또는 그 이상의 수를 가지는 반도체 메모리 장치에 있어서의 퓨우즈 박스를 간략하게 도시한 것으로, 실제의 퓨우즈 박스의 회로에 있어서는 이를 구성하는 퓨우즈 및 트랜스퍼 게이트등은 어드레스의 수에 비례하여 훨씬 많이 존재하게 될을 이해하여야 할 것이다. 한편 노멀 렘의 경우에는 리드동작과 라이트 동작이 동시에 수행되기 때문에 제2도와 같은 퓨우즈 박스가 통상적으로 하나가 구비되지만, 시리얼 리드/라이트 액세스 메모리 장치의 경우에는 리드동작과 라이트 동작이 독립적으로 동시에 수행되기 때문에 제2도와 같은 퓨우즈 박스는 리드용과 라이트용으로 각각 따로 구비된다.

그래서 시리얼 리드/라이트 액세스 메모리 장치의 경우에, 리드용 퓨우즈 박스에서는 어드레스가 리드정보용 어드레스로 입력되고, 라이트용 퓨우즈 박스에서는 어드레스가 라이트 정보용 어드레스로 입력된다. 한편 제2도에서 마스터 퓨우즈(MF)단에 입력되어 모오스 트랜지스터(1)(2)의 동작을 인에이블시키는 신호인 VCCH는 점선 블럭(2-a)에 도시된 바와 같이 전원전압(VCC)이 일정전압레벨로 상승하게 되면 논리 "하이(H)"레벨로 상승하는 전압으로, 이는 칩이 파워-업(power-up)되어 외부에서 공급되는 전원전압(VCC)이 칩 설계자가 원하는 특정 전압레벨로 상승할 시에(즉, 구간 T1은 칩 설계자의 임의로 정할 수 있는 간격임) 바로 "하이"레벨의 신호로 되는 전압이다. 상기 제2도의 구성에 따른 동작 특성은 다음과 같다. 상기 제2도의 동작은 퓨우즈 컷팅을 하는 경우와 퓨우즈 컷팅을 하지 않는 경우로 구별된다. 먼저, 퓨우즈 컷팅을 하지 않는 경우는 실제 칩상에서 리던던시 의한 동작은 발생하지 않는다. 이때 마스터 퓨우즈(MF)는 컷팅되지 않으며, n1노드 및 n2노드는 각각 "로우(L)" 및 "하이"레벨로 되어 풀다운 트랜지스터 11, 12, 13가 "턴-온(turn-on)"되고 이로부터 n1, n2 및 n3노드가 "로우"레벨로 된다. 또한 상

기 n2노드가 "하이"레벨로 됨에 따라 각각의 트랜스퍼 게이트(TG1, $\overline{TG1}$, TG2, ···)들은 "턴-오프(turn-off)"되어 어드레스 정보들이 통과하지 못하게 된다. 다음으로 퓨우즈 컷팅을 하는 경우는 다음과 같다.

통상적으로 어드레스 A0, A1, A2가 예를 들어서 0 1 1번지에서 페일(fail)이 발생하게 되면 퓨우즈는 반대로 1 0 0번지에서 컷팅이 이루어짐은 잘 알려진 사항이다. 그리고 마스터 퓨우즈(MF)는 컷팅되어 n1 및

n2노드가 각각 "하이" 및 "로우"레벨로 된다. 그래서 각각의 트랜스퍼 게이트(TG1, $\overline{TG1}$, TG2, ···)들은 "턴-온"되고, 각각의 풀다운 트랜지스터 11, 12, 13가 "턴오프"된다. 그리고 각 어드레스정보에 따른 퓨우즈컷팅에 의해 n4, n5 및 n6노드는 각각 "하이"레벨로 되고, 낸드게이트(21)는 "로우"출력을 하여 ◆RENi신호가 "하이"상태로 인에이블된다. 그리고 이로부터 리던던트 컬럼라인이 선택됨은 잘 알 수 있을 것이다. 그러나 이와 같은 방식하에서는 리드 동작과 라이트 동작이 서로 독립적으로 동시에 이루어지는 반도체 메모리 장치의 리던던시 퓨우즈 로 사용하는 경우에서는, 같은 퓨우즈 정보를 가지는 리드용 퓨우즈와 라이트용 퓨우즈를 각각 구비함에 따라 상기 퓨우즈 박스가 차지하는 칩 면적이 커지게 되고, 이는 초고집적 반도체 메모리 장치와 같이 하나의 칩내에 구비하여야 하는 퓨우즈 박스의 수가 상당히 많아지고 또한 어드레스의 수가 많아지는 메모리 장치일수록 더욱 심각하게 집적도를 저해하는 요소로 대두된다. 또한 불량쎌의 발생에 따른 리던던시를 위한 퓨우즈 컷팅시 같은 퓨우즈 정보를 중복해서 컷팅하여야 하는 번거로움이 필수적으로 발생된다.

따라서, 본 발명의 목적은 칩의 집적도를 향상시키는 퓨우즈 박스를 제공함에 있다.

본 발명의 다른 목적은 컴팩트한 회로구성을 가지는 퓨우즈 박스를 제공함에 있다.

본 발명의 또 다른 목적은 리던던시동작시 하나의 퓨우즈 정보에 대해 중복되는 퓨우즈 컷팅이 방지되는 퓨우즈 박스를 제공함에 있다.

본 발명의 또 다른 목적은 리드용 퓨우즈 박스와 라이트용 퓨우즈 박스가 하나의 퓨우즈 박스로 통합된 반도체 메모리 장치를 제공함에 있다.

상기 본 발명의 목적을 달성하기 위하여 본 발명은 리드용 어드레스 정보와 라이트용 어드레스 정보를 각각 입력하고, 통합한 퓨우즈 정보에 의해 퓨우즈 컷팅을 하고, 리드동작과 라이트 동작을 구분하여 주는 제어회로를 가지는 퓨우즈 박스임을 특징으로 한다. 또한 본 발명에 의한 퓨우즈 박스는 퓨우즈 회로에

리드용 어드레스와 라이트용 어드레스를 각각 서로 다른 트랜스퍼 게이트를 통해 입력하고, 이로부터 리드용 출력과 라이트용 출력을 각각 다른 출력단을 통해서 출력하는 회로임을 특징으로 한다. 상기에서 본 발명에 의한 퓨우즈 박스는 종래기술과 같이 리드용 퓨우즈 박스와 라이트용 퓨우즈 박스가 하나의 칩내에 각각 구비되어 있지 않고 리드용 퓨우즈 박스와 라이트용 퓨우즈 박스가 통합된 구성을 갖는 것이며, 이로부터 본 발명의 목적이 용이하게 달성됨은 충분히 예측되는 사항이다.

이하 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명한다. 본 발명에 의한 퓨우즈 박스의 실시예를 제3도에 도시하였다. 그리고 본 발명에 의한 상기 제3도의 회로 구성에 따른 동작타이밍도를 제4도에 도시하였다.

본 발명에 의한 퓨우즈 박스의 실시예인 제3도의 구성은 다음과 같다. 본 발명에 의한 퓨우즈 박스의 구성은 도시된 바와 같이, 리드동작 마스터 클럭을 입력하고 퓨우즈 박스의 리드동작을 제어하는 리드용 제어회로(100)와, 라이트동작 마스터 클럭을 입력하고 퓨우즈 박스의 라이트 동작을 제어하는 라이트용 제어회로(200)와, 메모리 쎌 어레이내의 불량쎌의 발생에 의해 리던던시동작을 결정하고 리드정보용 어드레스와 라이트정보용 어드레스를 입력하는 퓨우즈 회로(300)와, 상기 리드용 제어회로(100)의 출력신호 및 퓨우즈회로(300)의 출력신호의 조합으로부터 리드용 리던던시 출력신호를 발생하는 리드용출력회로(400)와, 상기 라이트용 제어회로(200) 및 퓨우즈 회로(300)의 출력신호의 조합으로부터 라이트용 리던던시 출력신호를 발생하는 라이트용출력회로(500)로 이루어진다.

상기 회로들의 구성상의 특징은 다음과 같다. 상기 리드용 제어회로(100)는 리드동작 마스터 클럭인 RM을 입력하는 리드입력단(101)과, 상기 리드입력단(101)의 출력신호를 소정시간 지연하는 리드용 지연회로(102, 103, 104)와, 상기 리드용 지연회로(102, 103, 104)의 출력신호로부터 펄스를 발생하는 리드용 펄스발생회로(105, …, 108)로 이루어진다. 상기 라이트용 제어회로(100)는 라이트동작 마스터 클럭인 WM을 입력하는 라이트입력단(201, 202)과, 상기 라이트입력단(201, 202)의 출력신호를 소정시간 지연하는 라이트용 지연회로(203, 204, 205)와, 상기 라이트용 지연회로(203, 204, 205)의 출력신호로부터 펄스를 발생하는 라이트용 펄스발생회로(206, …, 209)로 이루어진다.

상기 퓨우즈 회로(300)는 메모리 쎌 어레이내의 불량쎌의 발생에 의해 리던던시동작을 결정하는 마스터 퓨우즈단(MF, 301, 302, 303)과, 리드정보용 어드레스(RA0, RA1, RA2)를 입력하는 리드용 트랜스퍼 게이트(RT1, RT2, RT3)와, 라이트정보용 어드레스(WA0, WA1, WA2)를 입력하는 라이트용 트랜스퍼 게이트(WT1, WT2, WT3)와, 상기 리드용 및 라이트용 트랜스퍼 게이트(RT1, RT2, RT3)(WT1, WT2, WT3)에 연결되는 퓨우즈 소자(RF1, WF1, RF2, WF2, RF3, WF3)와, 상기 퓨우즈 소자(RF1, WF1, RF2, WF2, RF3, WF3)의 출력라인의 전압을 풀다운하기 위한 풀다운회로(M1, M2, M3)와, 상기 풀다운회로(M1, M2, M3)를 제어하는 풀다운 제어회로(304, 305)와, 상기 리드용 및 라이트용 트랜스퍼 게이트(RT1, RT2, RT3)(WT1, WT2, WT3)의 출력단을 리드 또는 라이트 동작이 디세이블될 시에 스위칭하여 주기 위한 스위칭용 트랜스퍼 게이트(311, 312, 313)와, 상기 퓨우즈 소자(RF1, WF1, RF2, WF2, RF3, WF3)의 출력라인의 전압의 플로팅을 방지하기 위한 풀업 트랜지스터(321, 322, 323)와, 상기 퓨우즈 소자(RF1, WF1, RF2, WF2, RF3, WF3)의 출력라인에 연결된 퓨우즈 회로 출력단(306, 307)으로 이루어진다.

상기 리드용출력회로(400)는 상기 퓨우즈 회로(300)의 출력신호(OUT)를 상기 리드용 제어회로(100)의 제어에 의해 출력하는 리드용 전송단(401, 402, 403)과, 상기 리드용 전송단(401, 402, 403)의 출력신호를 래치하는 래치단(404, 405)으로 구성되어 퓨우즈 박스의 리드용 출력신호(ROUT)를 출력한다. 상기 라이트용출력회로(500)는 상기 퓨우즈 회로(300)의 출력신호(OUT)를 상기 라이트용 제어회로(200)의 제어에 의해 출력하는 라이트용 전송단(501, 502)과, 상기 라이트용 전송단(501, 502)의 출력신호를 래치하는 래치단(503, 504)으로 구성되어 퓨우즈 박스의 라이트용 출력신호(WOUT)를 출력한다. 상기에서 리드용 출력신호(ROUT)와 라이트용 출력신호(WOUT)가 각각 제1도에서의 ΦREN신호로 연결된다.

상기와 같은 구성에 따른 본 발명에 의한 퓨우즈 박스의 동작 특성은 다음과 같다. 이는 동작타이밍도인 제4도를 참조하여 설명될 것이다. 상기 제3도에서 리던던시동작시 리던던시 퓨우즈(즉, 퓨우즈 소자(RF1, WF1, RF2, WF2, RF3, WF3)와 마스터 퓨우즈(MF)를 메모리 쎌 어레이내의 불량쎌의 발생에 따른 어드레스의 정보에 따라 컷팅을 하면, RF신호와 WF신호에 의해 제어되는 R1노드와 W1노드가 상기 제4도에 도시된 바와 같이 서로 반대 위상으로 동작하게 된다. 이로부터 리드용 트랜스퍼 게이트(RT1, RT2, RT3)와 라이트용 트랜스퍼 게이트(WT1, WT2, WT3)는 서로 반대구간에서 동작하게 된다. 그래서 퓨우즈컷팅 정보와 동일한 어드레스 정보가 입력되면(실제로 리드정보용 어드레스(RA0, RA1, RA2)와 라이트정보용 어드레스(WA0, WA1, WA2)는 서로 각각 상보적인 어드레스 정보이다.), 퓨우즈 회로(300)의 출력신호(OUT)는 상기 R1노드 및 W1노드에 의해 제어되어 인에이블 또는 디세이블동작을 수행한다. 그래서 예를 들어 상기 R1노드가 "로우"레벨로 인에이블되고 이로부터 퓨우즈 회로(300)의 출력신호(OUT)가 "하이"레벨로 되면, 상기 R1노드에 의해 지연된 펄스신호 R2에 의하여 상기 리드용 출력신호(ROUT)는 "하이"레벨로 인에이블되며 이는 다음 사이클때까지 래치단(404, 405)에서 래치하게 된다. 또한 W1노드가 "로우"레벨로 인에이블되고 이로부터 퓨우즈 회로(300)의 출력신호(OUT)가 "하이"레벨로 가면, 상기 W1노드에 의해 지연된 펄스신호 W2에 의하여 상기 라이트용 출력신호(WOUT)는 "하이"레벨로 인에이블되며 이는 다음 사이클때까지 래치단(503, 504)에서 래치하게 된다. 한편 제2도의 종래 기술과 마찬가지로 리던던시 퓨우즈를 동작시키지 않는 경우는 마스터 퓨우즈(MF)는 컷팅되지 않아서 N1노드는 "로우"레벨로로, R1 및 W1노드도 "로우"로 된다. 그래서 N2노드는 "로우"레벨로 되고 N3노드는 "하이"레벨로 되어 풀다운 트랜지스터(M1, M2, M3)를 "턴-온"시키고 N4, N5 및 N6를 "로우"레벨로 유지시킨다.

상기 제3도에 도시된 퓨우즈 박스는 박스는 본 발명의 기술적 사상에 입각하여 실현한 최적의 실시예로서 이를 구성하는 각 구성소자는 본 발명에 따른 타이밍도와 같은 동작특성을 가지는 한에서는 약간 바꾸어질 수 있음을 이 분야에 통상의 지식을 가진자는 용이하게 이해할 수 있을 것이다.

상술한 바와 같이, 본 발명은 리드용 퓨우즈 박스와 라이트용 퓨우즈 박스가 하나의 퓨우즈 박스로 통합된 컴팩트한 퓨우즈 박스를 실현하므로서, 특히 시리얼 리드 및 라이트 기능을 서로 독립적으로 가지는 반도체 메모리 장치에서 퓨우즈 가 차지하는 면적을 최소화할 수 있으며, 이로부터 메모리 장치의 집적도가 증대되어 소정의 결합쎌의 발생에 효율적으로 대응할 수 있게 된다. 또한 동일한 퓨우즈 정보로부터

중복되는 퓨우즈 컷팅을 방지하는 잇점이 있다.

(57) 청구의 범위

청구항 1

시리얼 리드/라이트 액세스 메모리 장치에 있어서, 리드동작 마스터 클럭을 입력하고 퓨우즈 박스의 리드 동작을 제어하는 리드용 제어회로와, 라이트동작 마스터 클럭을 입력하고 퓨우즈 박스의 라이트 동작을 제어하는 라이트용 제어회로와, 메모리 쎌 어레이내의 불량쎌의 발생에 의해 리던던시동작을 결정하고 리드정보용 어드레스와 라이트정보용 어드레스를 입력하는 퓨우즈 회로와, 상기 리드용 제어회로의 출력신호 및 퓨우즈 회로의 출력신호의 조합으로부터 리드용 리던던시 출력신호를 발생하는 리드용출력회로와, 상기 라이트용 제어회로 및 퓨우즈 회로의 출력신호의 조합으로부터 라이트용 리던던시 출력신호를 발생하는 라이트용출력회로를 구비함을 특징으로 하는 퓨우즈 박스.

청구항 2

제1항에 있어서, 상기 리드용 제어회로가, 리드동작 마스터 클럭을 입력하는 리드입력단과, 상기 리드입력단의 출력신호를 소정시간 지연하는 리드용 지연회로와, 상기 리드용 지연회로의 출력신호로부터 펄스를 발생하는 리드용 펄스발생회로로 이루어짐을 특징으로 하는 퓨우즈 박스.

청구항 3

제2항에 있어서, 상기 라이트용 제어회로가, 라이트동작 마스터 클럭을 입력하는 라이트입력단과, 상기 라이트입력단의 출력신호를 소정시간 지연하는 라이트용 지연회로와, 상기 라이트용 지연회로의 출력신호로부터 펄스를 발생하는 라이트용 펄스발생회로로 이루어짐을 특징으로 하는 퓨우즈 박스.

청구항 4

제3항에 있어서, 상기 퓨우즈 회로가, 메모리 쎌 어레이내의 불량쎌의 발생에 의해 리던던시동작을 결정하는 마스터 퓨우즈단과, 리드정보용 어드레스를 입력하는 리드용 트랜스퍼 게이트와, 라이트정보용 어드레스를 입력하는 라이트용 트랜스퍼 게이트와, 상기 리드용 및 라이트용 트랜스퍼 게이트에 연결하는 퓨우즈 소자와, 상기 퓨우즈 소자의 출력라인의 전압을 풀다운하기 위한 풀다운회로와, 상기 풀다운회로를 제어하는 풀다운 제어회로와, 상기 리드용 및 라이트용 트랜스퍼 게이트의 출력단을 리드 또는 라이트 동작이 디세이블될 시에 스위칭하여 주기 위한 스위칭용 트랜스퍼 게이트와, 상기 퓨우즈 소자의 출력라인의 전압의 플로팅을 방지하기 위한 풀업 트랜지스터와, 상기 퓨우즈 소자의 출력라인에 연결된 퓨우즈 회로 출력단으로 이루어짐을 특징으로 하는 퓨우즈 박스.
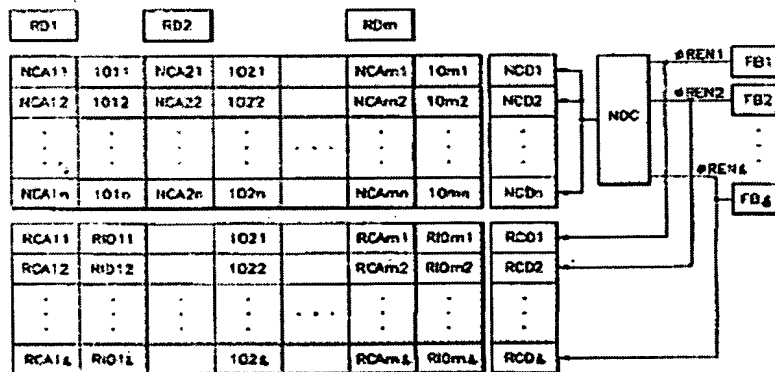
청구항 5

제4항에 있어서, 상기 리드용출력회로가, 상기 퓨우즈 회로의 출력신호를 상기 리드용 제어회로의 제어에 의해 출력하는 리드용 전송단과, 상기 리드용 전송단의 출력신호를 래치하는 래치단으로 구성되어 퓨우즈 박스의 리드용 출력신호를 출력함을 특징으로 하는 퓨우즈 박스.
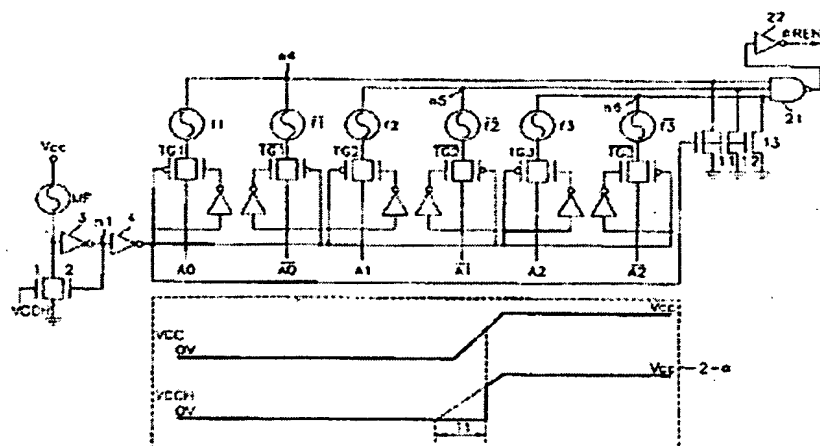
청구항 6

제5항에 있어서, 상기 라이트용출력회로가, 상기 퓨우즈 회로의 출력신호를 상기 라이트용 제어회로의 제어에 의해 출력하는 라이트용 전송단과, 상기 라이트용 전송단의 출력신호를 래치하는 래치단으로 구성되어 퓨우즈 박스의 라이트용 출력신호를 출력함을 특징으로 하는 퓨우즈 박스.
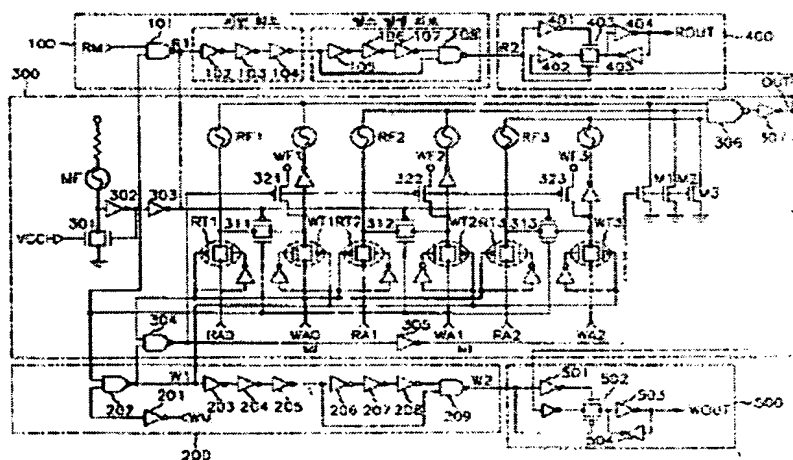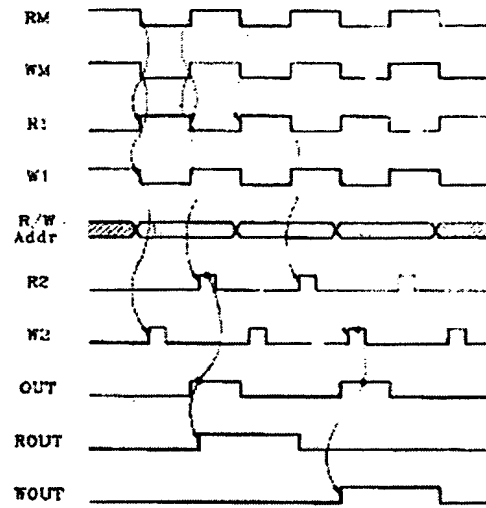
도면

도면1

도 B2

도 B3

도4

1 : 출력은 병렬에 있는 데이터를 어드레스.
2 : 출력은 직렬에 있는 데이터를 어드레스.